

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

19. Japan Patent Office (JP)
 12. Laid-open Patent Application Gazette (A)
 11. Laid-open Patent Application No. Sho 57-31166
 43. Disclosure Date: February 19, 1982.

51. Int. Cl. ³	ID Code	Agency Control No.
H 01 L 23/48		6819-5F
21/58		6679-5F

Number of Inventions: 1
 Examination Not Requested Yet
 (Total 4 pages)

54. Invention Title: Semiconductor Device
 21. Application No. Sho 55-105911
 22. Application Date: July 31, 1980
 72. Inventor: Junji Sakurai, Fujitsu Limited, 1015 Jokotanaka, Nakahara-ku,
 Kawasaki City
 71. Applicant: Fujitsu Limited, 1015 Jokotanaka, Nakahara-ku, Kawasaki City
 74. Representative: Koshiro Matsuoka, Patent Agent

SPECIFICATION

1. TITLE OF INVENTION
 Semiconductor Device

2. CLAIMS

(1) A semiconductor device which seals inside a package a multilayer semiconductor integrated circuit chip in which element integration layers with integrated semiconductor elements are stacked in multiple layers and each layer is provided with a conductive pad to the outside,

wherein internal pads inside the package are provided in a stepped manner in multiple layers, and the corresponding layer's said conductive pad and internal pad are connected via an external conductor.

(2) A semiconductor device according to claim 1, wherein said external conductor is a bonding wire.

(3) A semiconductor device according to claim 1, wherein the shape of said conductive pad portion and the shape of said internal pad portion are formed so as to correspond, and said multilayer semiconductor integrated circuit chip is in a face-down state and is connected via an electrode pad as said external conductor.

3. DETAILED DESCRIPTION OF THE INVENTION

The present invention pertains to the structure of a semiconductor device that equipped with a multilayer semiconductor integrated circuit chip. In electronic devices such as electronic computers and various types of communication devices and so forth,

increasing the mounting density of semiconductor devices is extremely important in trying to make instruments smaller and give them more capacity.

In order to achieve the aforesaid object in a semiconductor integrated circuit (IC) such as a large-scale integrated circuit (LSI), techniques for increasing the degree of element integration per package include (1) structures in which a plurality of LSI chips is arrayed inside 1 (one) semiconductor package, (2) structures in which semiconductor elements are formed on the surface of 1 (chip), (3) structures in which semiconductor packages containing LSI chips are stacked, (4) structures in which a semiconductor layer is formed on an insulating layer formed on an LSI, the semiconductor layer is recrystallized with laser annealing, and LSI is formed in the recrystallized semiconductor layer (see *Nikkei Electronics*, 2-18 (1980), p. 82), etc. However, all of these have problems. In structures (1) ~ (3) one cannot expect to greatly increase the degree of integration and mounting density vis-à-vis an instrument. In structure (4) the degree of integration and mounting density increase greatly, but circuit terminals at each layer are not exposed, so it is difficult to individually inspect the LSI process functions and circuit functions formed at each layer.

The present invention takes into account the aforesaid problems. It provides a semiconductor device that seals into a package a multilayer semiconductor integrated circuit chip that stacks integrated circuit (IC) chips, greatly suppresses an increase in package dimensions and greatly increases the degree of IC integration per package, and has a structure that makes it possible to individually measure the process functions and circuit functions of each IC chip.

That is, the present invention is a semiconductor device which seals inside a package a multilayer semiconductor integrated circuit chip in which element integration layers with integrated semiconductor elements are stacked in multiple layers and each layer is provided with a conductive pad to the outside; it is characterized in that internal pads inside the package are provided in a stepped manner in multiple layers, and the corresponding layer's aforesaid conductive pad and internal pad are connected via an external conductor.

Below, the present invention shall be described in detail using upper view (a) and sectional view along arrow A-A' (b) of the two embodiments of chip stacking structures shown in FIG. 1 and FIG. 2, and the schematic sectional views of two embodiments of structures for mounting the chip in a package shown in FIG. 3 and FIG. 4.

The semiconductor IC chip that is each element integration layer used in the multilayer semiconductor ICs in these embodiments is typically one in which, according to the MIS-type IC fabrication process, for example, formation of the gate oxide film, gate electrode, source and drain electrodes, wiring, etc. is completed, and the upper surface is covered with a surface protection insulating film such as phosphorus-doped silica glass (PSG), leaving only the bonding pad parts that are the pads for conductivity for wiring. Furthermore, bump-shaped electrodes may be formed at the aforesaid bonding part parts.

Now, for example, in a multilayer semiconductor IC chip stacking structure such as that shown in FIG. 1(a) and (b), a number of desired conductive bonding pads 2a, 2b, 2c or 2d are formed at the periphery along the 4 (sides) of first layer semiconductor chip 1a, second layer chip 1b, third layer chip 1c, and fourth layer chip 1d; the size of the chip in each layer is formed so that higher chips become successively smaller so that when an

upper-layer chip is mounted the bonding pad of the lower-layer chip is exposed at the periphery (outside) of the upper-layer chip. (In the drawings, 9 represents the surface protection insulating film.)

Also, the adhesion layer 3 when stacking and securing these semiconductor IC chips is formed using an insulating resin such as a silicone resin, epoxy resin, or polyimide, etc., a conductive adhesive such as silver paste, etc. or a solder material consisting of an alloy such as gold-tin (Au-Sn). Furthermore, among these, when creating adhesion using a solder material it is necessary to form in advance a metallized layer consisting of Au or the like on the surface protection insulating film 9 of the lower-layer semiconductor IC chip. In structures that adhere using a conductive adhesive or a solder material, contact windows are formed at desired locations other than the peripheral part in the lower chip's surface protection insulating film 9; this is advantageous when forming vertical electrical connections with desired regions of the upper-layer chip via the aforesaid conductive adhesive or solder material.

FIG. 2(a) and (b) is a different embodiment showing the structure when stacking semiconductor IC chips of the same chip size. In this case, for example, the bonding pads 2a, 2b, 2c, and 2d of each layer's semiconductor IC chip 1a, 1b, 1c, and 1d are formed only at edge parts along adjacent 2 (sides) at the chips. The same aforesaid conductive resin, conductive adhesive, or solder material is used as the adhesion layer 3 used when adhering chips. (In the drawings, 9 represents the surface protection insulating film.)

This embodiment's semiconductor device has a structure wherein the aforesaid sort of multilayer semiconductor integrated circuit chip is disposed inside a semiconductor package. In one embodiment thereof, as shown in FIG. 3's sectional schematic drawing, a multilayer semiconductor integrated circuit chip with sequentially stacked semiconductor IC chips 1a, 1b, 1c, and 1d is secured so that it is disposed on semiconductor package 4's chip stage 5 using the same aforesaid conductive resin, conductive adhesive, or solder material. The aforesaid chips' desired bonding pads (normally all the bonding pads) 2a, 2b, and 2c and the semiconductor package 4's internal pads 6a, 6b, and 6c are connected by a wire 7, which is an external conductor that uses a method such as wire bonding, etc. (In the drawing, 9 represents the surface protection insulating film.)

Also, this embodiment has a structure in which a desired bonding pad 2d of upper-layer chip 1d and a desired bonding pad 2c of the lower-layer chip 1c are connected by external conductor 7' using wire bonding. This sort of external conductor connection is used when connecting circuits formed on each chip to a common power source, for example. Furthermore, in this structure it is preferred that semiconductor package 4's internal pads 6a, 6b, and 6c be formed so that they have essentially the same height as bonding pads 2a, 2b, and 2c of the respective corresponding multilayer semiconductor integrated circuit chips 1a, 1b, and 1c.

Also, FIG. 4 is a sectional schematic view of an embodiment of the inventive semiconductor device in which a multilayer semiconductor integrated circuit chip is placed in the semiconductor package in a face-down structure. This embodiment has a structure in which a multilayer semiconductor integrated circuit chip with semiconductor IC chips 1a, 1b, and 1c having bump electrodes 8a, 8b, and 8c consisting of lead-tin (Pb-Sn) solder or the like at bonding pads 2a, 2b, and 2c stacked and formed and described

previously is mounted with its upper side downward, and is soldered and secured to internal pads 6c, 6b, and 6a formed in multiple layers in the semiconductor package 4 using the aforesaid bump electrodes 8a, 8b, and 8c; the bonding pad part of each layer's semiconductor IC chip 1a, 1b, and 1c and the wiring inside the package are respectively electrically connected with the bump electrodes 8a, 8b, and 8c as external conductors. (In the drawing, 9 represents the surface protection insulating film.)

Furthermore, in this structure the thickness of each layer's semiconductor IC chip and the inter-layer separation of wiring inside the semiconductor package need to be essentially the same.

In a semiconductor device with the inventive structure as explained above semiconductor IC chips are stacked and secured inside a semiconductor package, so it is possible to greatly increase the circuit density (degree of integration) per package while greatly minimizing an increase in package dimensions [*portion of original deleted*], and it has a structure such that each semiconductor IC chip's bonding pad region or internal wiring connected thereto is individually exposed inside the package, so when assembling the multilayer semiconductor IC it is possible to detect process functions and circuit functions for each chip and manufacturing yield can be increased.

In addition, the structure of the internal pad portion of the inventive semiconductor device is formed so that it essentially corresponds to the structure of the conductive pad portion of the multilayer semiconductor integrated circuit chip, so mounting the aforesaid chip is easy to perform.

Also, in the structure of the first embodiment of the present invention each element integration layer's bonding pad is exposed, and bonding pads in different chip layers can be connected by an external conductor as described previously. Therefore it is not always necessary to have all of a circuit function in one chip in a semiconductor device with a multilayer chip structure, and a circuit can be spread across several chips.

Therefore the present invention makes it possible to increase multilayer semiconductor IC manufacturing yield and simultaneously decrease the size and increase the capacity of electronic devices such as electronic computers or electronic communication devices, etc.

4. BRIEF DESCRIPTION OF THE DRAWINGS

FIG. 1 and FIG. 2 show two embodiments of chip stacking structures in the inventive multilayer semiconductor integrated circuit; (a) is a view from above, and (b) is a sectional view along arrow A-A'. Also, FIG. 3 and FIG. 4 are schematic sectional views of two embodiments of structures for mounting the chip in a package in the present invention.

In the drawings, 1a and 1b and 1c and 1d are semiconductor integrated circuit chips that are element integration layers, 2a and 2b and 2c and 2d are bonding pads, 3 is an adhesion layer, 4 is a semiconductor package, 5 is a chip stage, 6a and 6b and 6c are package internal pads, 7 and 7' are external conductors, 8a and 8b and 8c are bump electrodes, and 9 is a surface protection insulating film.

Representative: Koshiro Matsuoka, Patent Agent [seal]

FIGS. 1 ~ 4

⑨ 日本国特許庁 (JP) ⑩ 特許出願公開
⑪ 公開特許公報 (A) 昭57-31166

⑤Int. Cl.³
H 01 L 23/48
21/58

識別記号

厅内整理番号
6819-5F
6679-5F

④公開 昭和57年(1982)2月19日

発明の数
審査請求 1
未請求

(全 4 頁)

◎半島外遊記

①特 順 昭55-105911
②出 順 昭55(1980)7月31日
③發明者 横井潤治

出願人 富士通株式会社
川崎市中原区上小田中1015番地
代理人 弁理士 松岡宏四郎

名 住 市

I. 発明の名様

半導體工藝

2. 特許請求の範囲

(1) 半導体粒子が銀漬されてなる球子形銀層が多層に重ねられ、各層に外部との導通パッドが設けられた多層半導体集積回路チップをパッケージ内に封入した半導体装置において、該パッケージ内の内部パットが隔壁状に多層に設けられ対応する層の前部面開パットと内部パットとが外部導体を介して接続されてることを特徴とする半導体装置。

(2) 前記外部機体がポンディングワイヤーであることを特徴とする特許請求の範囲: 1. 外部機体の半導体装置。

④ 前記海通バ、ドの部分の形状と別部内部バ、ドの部分の形状とが相対応するよう形成され、前記多層半導体基板回路チップをフェース・ダウン状態でかつ前記外部導体として電極バ、ドを介して接続してなることを特とする範囲

その點で第 1 種記載の半導体装置。

3. お問い合わせの詳細な説明

本発明は多極半導体集積回路チップを扱う半導体装置の構造に関する。電子計算機あるいは各種通信装置等の電子装置に於ては、半導体装置の実装密度を向上しめることが装置の小型化大容量化を図る上で極めて重要であることである。

そして上記目的のために大規模集積回路(LSI)等の半導体集積回路(1 C)に於て、パッケージ当たりの電子部密度を向上せしめる技術として、(1)複数個の LSI チップを 1 (面) の半導体パッケージ内に配置する方法、(2) 1 (チップ) の封端に半導体電子を形成する構造、(3) LSI チップを露出した半導体パッケージを積み重ねる構造、(4) LSI 上に形成した絶縁面上に半導体電子を形成しレーザー、アーナーで該半導体層を半導体化し、該半導体層に LSI を形成する方法(日本エレクトロニクス 2-18 (1980) 182 参照)等があるが、(1)~(3)の構造においては半導体成膜に対する実験結果の大體を網上に紹介できず、

又(4)の構造に於ては集積度及び実装密度は大幅に向ふするが、各層の回路端子が突出しないので、各層に形成されているLSIのプロセス機能や回路機能を個々に検査することが困難であるという問題があった。

本発明は上記問題点に鑑み、集積回路(1C)チ・ブを横層し、パ・ケージ寸法の拡大することを努力抑え且つパ・ケージ当りのICの集積度を大幅に向ふせしめ、更にICチ・ブ毎のプロセス機能及び回路機能を個々に測定することが可能な構造を有する多層半導体集積回路チ・ブをパッケージ内に封入してなる半導体装置を提供する。

即ち本発明は半導体素子が集成されてなる素子無積層が多層に構成され、各層に外側との導通パ・ドが設けられた多層半導体集積回路チ・ブをパ・ケージ内に封入した半導体装置において、該パ・ケージ内の内部パ・ドが階級状に多層に設けられ、対応する層の前記導通のパ・ドと内部パ・ドとが外部導体を介して接続されてなることを特徴とする。

・ド2a, 2b, 2c或るいは2dが形成されており、各層チ・ブの大きさは、上層のチ・ブを載せた際に下層チ・ブのポンディング・パ・ドが上層チ・ブの周辺部(外側)に突出するように、上層チ・ブになるに従って順次小さく形成される。(図中9は表面保護絶縁膜を表わす)

そしてこれら半導体ICチ・ブを横層接着する際の接着層3はシリコン樹脂、エポキシ樹脂或るいはポリ・イミド等の絶縁性樹脂、銀ペースト等の導電性接着剤或るいは金-銀(Au-Sz)等の合金からなるろう材により形成される。なお上記の中、ろう材を用いて接着を行う際には下層の半導体ICチ・ブの表面保護絶縁膜9上に予めAu等からなるメタライズ層を形成しておく必要があり、又導電性接着剤或るいはろう材を用いて接着する構造に於ては、下層チ・ブの表面保護絶縁膜9に於ける用緑部以外の所望の場所にコンタクト窓を形成し、前記導電性接着剤或るいはろう材を介して上層チ・ブの所望の領域と線方向に電気的接続を行う様に有利である。

以下本発明を図1(a)及び図2(a)に示すチ・ブ横層構造に於ける二つの実施例の上面図(a)及びムー・A'矢状断面図(a), 第3図及び第4図に示すパ・ケージへのチ・ブ実装構造に於ける二つの実施例の断面模式図を用いて詳細に説明する。

本実施例の多層半導体ICに使用する各電子部構層としての半導体ICチ・ブは、通常行われる例えばMITS製ICの製造工程に従って、ゲート酸化膜、ゲート電極、ソース・ドレイン電極、配線等の形成が完了せしめられ、転写のための導通用パ・ドであるポンディング・パ・ド部のみを残して上面が絶縁膜ガラス(PSG)等の表面保護絶縁膜で覆われてなっている。なお上記ポンディング・パ・ド部にはパンプ状電極が形成される場合もある。

そして例えば図1(a)及び(b)に示すような多層半導体ICチ・ブの横層構造に於ては、第1層の半導体ICチ・ブ1a, 第2層のチ・ブ1b, 第3層のチ・ブ1c及び第4層のチ・ブ1dの4[図]に沿った用緑部に導通所整備のポンディング・パ

又第2図(a)及び(b)は同じチ・ブ・サイズの半導体ICチ・ブを横層する際の構造を表わす別の一実施例で、この場合は各層半導体ICチ・ブ例えば1a, 1b, 1c及び1dのポンディング・パ・ド2a, 2b, 2c及び2dは該チ・ブに於ける組り合った2(図)に沿う板部の手に形成される。そしてチ・ブを横層する際に用いる接着層3としては前記同様絶縁性樹脂、導電性接着剤或るいはろう材が使用される。(図中9は表面保護絶縁膜を表わす)

本実施例の半導体装置は上記のような多層半導体集積回路チ・ブを半導体パ・ケージ内に配置し大構造を有しており、その一実施例に於ては第3図の断面模式図に示すように、半導体パ・ケージ4のチ・ブ・ステージ5上に前記のように半導体ICチ・ブ1a, 1b, 1c及び1dが順次積層された多層半導体集積回路チ・ブが、前記同様絶縁性樹脂、導電性接着剤或るいはろう材等からなる接着層3により固定されており、上記チ・ブの所定のポンディング・パ・ド(通常は底面のポン

ティング・パッドである) 2a, 2b 及び 2c と多層に形成された半導体パッケージ 4 の内部パッド 6a, 6b 或いは 6c とがワイヤ・ポンディング等の方法により外部導体であるワイヤー 7 を接続している。(図中 9 は表面保護絶縁膜を強調する)

そして本実施例においては最上層のチップ 1d の所定のポンディング・パッド 2d とその下層のチップ 1c の所定のポンディング・パッド 2c とはワイヤ・ポンディングにより外部導体 7' で接続された構造を有しており、各チップに形成された回路を共通の端子に接続する際にはこのような外部導体接続が行われる。なお該端子に於て半導体パッケージ 4 の内部パッド 6a, 6b 及び 6c はそれぞれ対応する多層半導体集積回路チップ 1a, 1b 及び 1c のポンディング・パッド 2a, 2b 或いは 2c とほぼ等しい高さに形成されることが望ましい。

又第 4 図は多層半導体集積回路チップをフープ・ダクン構造で半導体パッケージに搭載する本

~~内に半導体 IC チップが接続構造されており
元の端子のパッケージ法の拡大を極めて小さく
抑えながらパッケージ当りの回路密度(集成度)
を大幅に向上せしめることができると同時に、各
半導体 IC チップのポンディング・パッド部或る
いはそれに接続する内部配線が個々にパッケージ
内に突出された構造を有するので、該多層半導体
IC の組み立てに際してチップ毎にプロセス機能
及び回路機能を検出することができ製造歩留まり
の向上が図れる。~~

さらに本発明の半導体装置のパッケージの内部パッドの部分の構造が多層半導体集積回路チップの導通パッドの部分の構造とは成対応するように形成されているので前記チップの実装が容易に行える。

又本発明の第 1 の実施例の構造に於ては、各電子接続部のポンディング・パッドが突出しており前述のように各チップのポンディング・パッド間を外部導体で接続することが可能である。従って該構造の半導体装置の多層チップに於ては、あ

る程度の半導体層に於ける一実施例の断面模式図で、本実施例に於てはポンディング・パッド 2a, 2b, 2c 及び鉛-錫 (Pb-Sn) 半田等からなるパンプ電極 8a, 8b, 8c を有する半導体 IC チップ 1a, 1b, 1c を前述のように積層形成せしめた多層半導体集積回路チップを、該チップの上面を下に向け、半導体パッケージ 4 に多層に形成された内部パッド 6a, 6b, 6c 上に、前記パンプ電極 8a, 8b, 8c によりろう差固定し、該パンプ電極 8a, 8b, 8c を外部導体として介して各層半導体 IC チップ 1a, 1b, 1c のポンディング・パッド部とパッケージの内部配線とをそれぞれ電気的に接続した構造を有している。(図中 9 は表面保護絶縁膜を強調する)

なお該構造に於ては各層の半導体 IC チップの厚さと半導体パッケージの内部配線の層間間隔は既往等しくする必要がある。

以上説明したように本発明の構造を有する半導体装置に於ては、半導体パッケージ内に半導体 IC チップが積層固定されてなっているので、ノード

ずしも一枚のチップで回路機能を完成せしめる必要なく、複数枚のチップにまたがって回路機能を形成することができる。

従って本発明によれば多層半導体 IC の製造歩留まりが向上すると同時に、電子計算機或るいは電子通信装置等の電子機器の小型化、大容量化が図れる。

4. 図面の簡単な説明

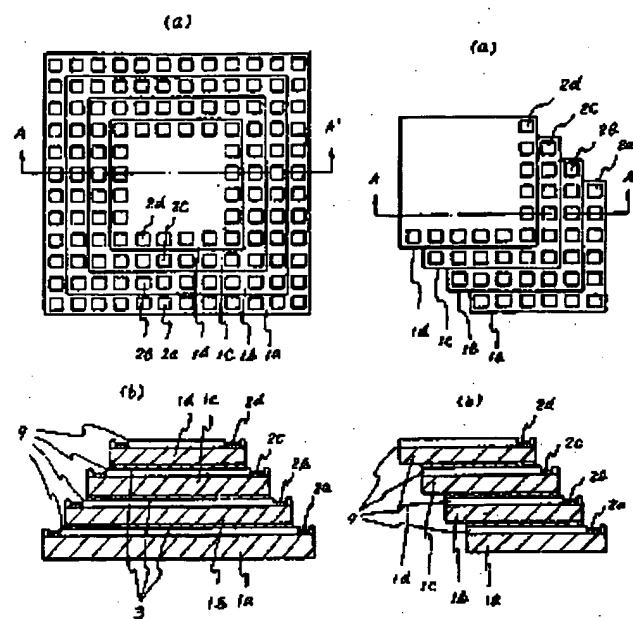
第 1 図及び第 2 図は本発明の多層半導体集積回路に於けるチップ積層構造の二つの実施例を示し(1)はその上面図、(2)はその A-A' 断面図である。又第 3 図及び第 4 図は本発明に於けるパッケージへのチップ実装構造の二つの実施例の断面模式図である。

図に於て 1a と 1b と 1c と 1d は電子接続層である半導体集積回路チップ、2a と 2b と 2c と 2d はポンディング・パッド、3 は接着力、4 は半導体パッケージ、5 はチップ・ステージ、6a と 6b と 6c はパッケージの内部パッド、7 及び 7' は外部導体、8a と 8b と 8c はパンプ電極

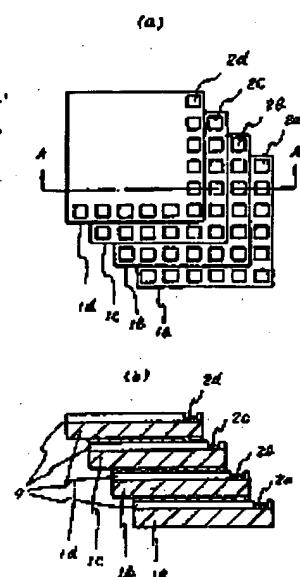
9は米国保護免除を示す。

第1図

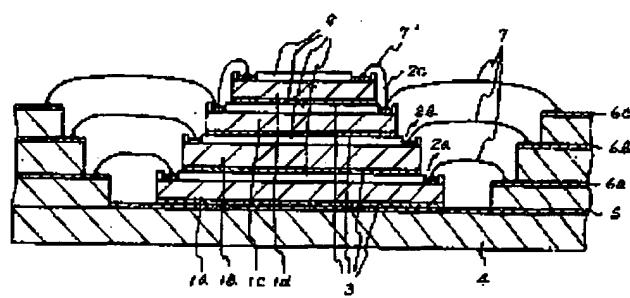
代理人 ベニス 松岡 宏四郎



第2図



第3図



第4図

